

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

**FORMATION METHOD OF THIN FILM, SILICON THIN FILM AND
FORMATION METHOD OF SILICON THIN-FILM TRANSISTOR**

**FORMATION METHOD OF THIN FILM, SILICON THIN FILM AND
FORMATION METHOD OF SILICON THIN-FILM TRANSISTOR**

Patent Number: JP5102189
Publication date: 1993-04-23
Inventor(s): MATSUMOTO TOMOTAKA; others: 08
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP5102189
Application Number: JP19920023986 19920210
Priority Number(s):
IPC Classification: H01L21/336; H01L29/784; C23C14/26; C30B25/14; H01L21/205
EC Classification:
EC Classification:
Equivalents: JP2828152B2

Abstract

PURPOSE: To obtain a silicon thin film whose crystallinity at a low temperature is good by a method wherein a binary material film is grown on a substrate and, in succession, the silicon film is grown on the binary material film by an atomic-layer deposition method wherein the substrate is exposed alternately to two atmospheres which separately contain individual atoms constituting a binary material.

CONSTITUTION: By using an atomic-layer deposition method wherein a substrate 1 is exposed alternately to two atmospheres which contain individual atoms constituting a binary material, a binary material film 2 is grown on the substrate 1, and, in succession, a silicon film 3 is grown on the binary material film 2. Thereby, it is possible to obtain the silicon film whose crystallinity is good.

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

特開平5-102189

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
C 2 3 C 14/26		7308-4K		
C 3 0 B 25/14		9040-4G		
		9056-4M	H 0 1 L 29/78	3 1 1 Y

審査請求 有 請求項の数17(全 14 頁) 最終頁に続く

(21)出願番号 特願平4-23986

(22)出願日 平成4年(1992)2月10日

(31)優先権主張番号 特願平3-202088

(32)優先日 平3(1991)8月13日

(33)優先権主張国 日本(JP)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 松本 友孝

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 井上 淳

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 市村 照彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 岡本 啓三

最終頁に続く

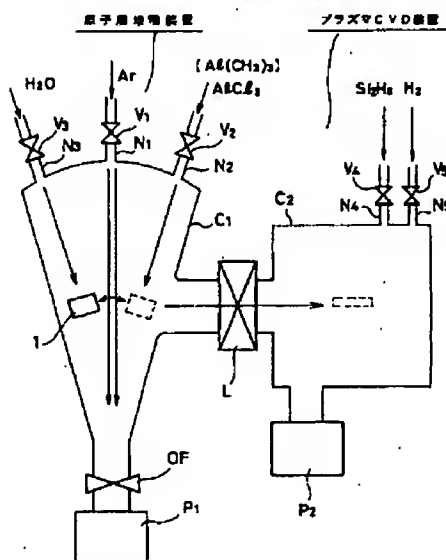
(54)【発明の名称】 薄膜形成方法、シリコン薄膜及びシリコン薄膜トランジスタの形成方法

(57).【要約】

【目的】本発明は、薄膜形成方法、シリコン薄膜及びシリコン薄膜トランジスタの形成方法に関し、低温で結晶性のよいシリコンの薄膜を成長することを目的とする。

【構成】二元系材料を構成する各原子を別々に含む２つの雰囲気 に基体 １ を交互に曝す原子層堆積法により、該基体 １ 上に二元系材料膜 ２ を成長し、つづいて該二元系材料膜 ２ の上にシリコン膜 ３ を成長することを含み構成する。

シリコン薄膜を形成する第1の装置の概念図



1 基体（ガラス基板）

C_1, C_2 反照チャンバ

ロードロック
OF オリフィス

P_1, P_2 真空擴氣系統

N1-N5 ガス出入口

$V_1 - V_5$ *

【特許請求の範囲】

【請求項1】二元系材料を構成する各原子を別々に含む2つの雰囲気中に基体(1)を交互に曝す原子層堆積法により、該基体(1)上に二元系材料膜(2)を成長し、つづいて該二元系材料膜(2)の上にシリコン膜(3)を成長することを特徴とする薄膜形成方法。

【請求項2】前記二元系材料膜(2)上へのシリコン膜(3)の成長は、前記二元系材料膜(2)の形成後に真空を破らずに行われることを特徴とする請求項1記載の薄膜形成方法。

【請求項3】前記二元系材料膜(2)は、 Al_2O_3 膜であることを特徴とする請求項1記載の薄膜形成方法。

【請求項4】前記二元系材料膜(2)は、III族、V族の元素よりなる半導体膜であることを特徴とする請求項1記載の薄膜形成方法。

【請求項5】前記シリコン膜(3)は、基体温度が400℃以下で形成されることを特徴とする請求項1記載の薄膜形成方法。

【請求項6】前記結晶シリコン膜(2)の成長を、水素とシランを含むガスを用いるプラズマ化学気相堆積法により行うことを特徴とする請求項1記載の薄膜形成方法。

【請求項7】基体(1)の上に SiO_2 、 $SiON$ 、 SiN のいずれかよりなる絶縁膜(16)を形成する工程と、二元系材料を構成する各原子を別々に含む2つの雰囲気中に交互に曝す原子層堆積法によって前記絶縁膜(16)の上に Al_2O_3 膜(17)を成長し、つづいて該 Al_2O_3 膜(17)の上にシリコン膜(18)を成長することを特徴とする薄膜形成方法。

【請求項8】酸素を含む雰囲気とアルミニウムを含む雰囲気中に交互に基体(1)を曝す原子層堆積法により、該基板(1)の上に Al_2O_3 膜(2、12)を成長するとともに、アルミニウムを含む雰囲気中で該 Al_2O_3 膜(2、12)の成長を終了し、つづいて該基板(1)を大気に曝すことなく、該 Al_2O_3 膜(2、12)の上に結晶シリコン膜(3、13)を形成することを特徴とする薄膜形成方法。

【請求項9】前記 Al_2O_3 膜(12)は、前記シリコン膜(13)の形成位置に移動されるまでアルミニウム含有ガスに曝されていることを特徴とする請求項8記載の薄膜形成方法。

【請求項10】前記アルミニウム含有ガスは、 $Al(CH_3)_3$ であることを特徴とする請求項9記載の薄膜形成方法。

【請求項11】二元系材料の原子のうち的一方と他方を交互に含みかつ基板加熱温度が異なる複数のガス雰囲気中に、基体(1)を順次移動させて該基体(1)の上に異なる2つの原子層(14a~14d)を交互に積層する工程と、

前記最終の雰囲気から取り出した前記基体(1)を、前記二元系材料を構成する各原子を別々に含む2つの雰

気中に交互に曝す原子層堆積法によって前記原子層(14a~14d)の上に二元系材料層を成長する工程を有することを特徴とする薄膜形成方法。

【請求項12】請求項11記載の方法により形成された二元系材料層の上にシリコン膜(15)を成長する工程を有することを特徴とする薄膜形成方法。

【請求項13】(1012)面に優先配向して形成される Al_2O_3 膜(2)の上に、(100)面に優先配向してシリコンが積層されていることを特徴とするシリコン薄膜。

【請求項14】請求項1、2、8、9又は12記載の方法によって基体(1)の上に Al_2O_3 膜(2)を介してシリコン膜(3)を形成する工程と、

前記シリコン膜(3)の上にゲート絶縁膜(4)を介してゲート電極(5)を形成する工程と、

前記ゲート電極(5)の両側の前記シリコン膜(3)にソース層(6)及びドレイン層(6)を形成する工程とを有することを特徴とするシリコン薄膜トランジスタの形成方法。

【請求項15】絶縁性基体(1a)の上にゲート電極(1b)を形成する工程と、

前記絶縁性基体(1a)と前記ゲート電極(1b)の上に、請求項1、2、8、9又は12記載の方法によって Al_2O_3 膜(2)及びシリコン膜(3)を形成する工程と、

前記シリコン膜(3)の上にソース電極(11a)及びドレイン電極(11b)を形成する工程とを有することを特徴とするシリコン薄膜トランジスタの形成方法。

【請求項16】前記 Al_2O_3 膜(17)を形成する前に、 SiO_2 、 $SiON$ 、 SiN のいずれかよりなる絶縁膜(16)を形成する工程を含むことを特徴とする請求項14、15記載のシリコン薄膜トランジスタの形成方法。

【請求項17】絶縁性基体(1)の上にソース電極(31)及びドレイン電極(32)を形成する工程と、

前記絶縁性基体(1)、ソース電極(31)及びドレイン電極(32)の上に、請求項1、2又は3記載の方法により二元系半導体層(33)及びシリコン膜(34)を形成する工程と、

該シリコン膜(34)の上に絶縁膜(35)を介してゲート電極(36)を形成する工程とを有することを特徴とするシリコン薄膜トランジスタの形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜形成方法、シリコン薄膜及びシリコン薄膜トランジスタの形成方法に関する。

【0002】近年、薄膜トランジスタ(以下、TFTと称する)は液晶表示パネル、エレクトロルミネッセンス等の駆動素子として、使用されるようになった。このような液晶表示パネルは、例えば薄型の液晶テレビや情報

端末として使用されている。

【0003】TFTは、通常ガラス基板の上にマトリックス状に形成され、ガラス基板が軟化しないような比較的低温のプロセスで形成される。したがって、低温のプロセスで高い移動度を有するTFTを実現することが要求される。

【0004】

【従来の技術】従来のTFTは、CVD法によりガラス基板上に形成された非晶質シリコン薄膜または結晶粒がごく微細な結晶性のよくない多結晶シリコン薄膜を活性層としている。

【0005】

【発明が解決しようとする課題】しかし、このようなシリコン薄膜を用いたTFTによれば、キャリアの移動度を大きくできないという問題がある。

【0006】これに対して、高温の熱処理を行って結晶性を良くすることも可能であるが、大型ガラス基板を使用する場合、約400℃の温度を超えるとガラス基板に変形が生じ易くなるという不都合があり、ガラス基板を軟化点以上の温度にすることは実用上できない。

【0007】また、絶縁性基板上に非晶質シリコン薄膜または微細結晶粒の多結晶シリコン薄膜を形成した後、レーザーアニールにより一部分づつ多結晶化または単結晶化を進めて、全域に及ぼすことも試みられているが、工程に要する時間が長く、また、大面積を均一に処理することが困難である。

【0008】本発明はこのような問題に鑑みてなされたものであって、低温で結晶性のよいシリコンの薄膜を得るための薄膜形成方法及びシリコン薄膜とシリコン薄膜トランジスタの製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題は、以下の(1)～(18)の発明によって解決される。

(1) 図1、2に例示するように、二元系材料を構成する各原子を別々に含む2つの雰囲気中に基体1を交互に曝す原子層堆積法により、該基体1上に二元系材料膜2を成長し、つづいて該二元系材料膜2の上にシリコン膜3を成長することを特徴とする薄膜形成方法により達成する。

【0010】(2) 図1、2に例示するように、前記二元系材料膜2上へのシリコン膜3の成長は、前記二元系材料膜2の形成後に真空を破らずに行われることを特徴とする薄膜形成方法により達成する。

【0011】(3) 図1、2に例示するように、前記二元系材料膜2は、 Al_2O_3 膜であることを特徴とする(1)記載の薄膜形成方法により達成する。

(4) 図11に例示するように、前記二元系材料膜2は、I族、V族の元素よりなる半導体膜であることを特徴とする(1)記載の薄膜形成方法により達成する。

【0012】(5) 図1、2に例示するように、前記シリ

コン膜3は、基体温度が400℃以下で形成されることを特徴とする(1)記載の薄膜形成方法により達成する。

(6) 図1に例示するように、前記結晶シリコン膜2、3の成長を、水素とシランを含むガスを用いるプラズマ化学気相堆積法により行うことを特徴とする(1)記載の薄膜形成方法により達成する。

【0013】(7) 図7に例示するように、基体1の上に SiO_2 、 $SiON$ 、 SiN のいずれかよりなる絶縁膜16を形成する工程と、二元系材料を構成する各原子を別々に含む2つの雰囲気中に交互に曝す原子層堆積法によって前記絶縁膜16の上に Al_2O_3 膜17を成長し、つづいて該 Al_2O_3 膜17の上にシリコン膜18を成長することを特徴とする薄膜形成方法により達成する。

【0014】(8) 図1、2、3に例示するように、酸素を含む雰囲気とアルミニウムを含む雰囲気中に交互に基体1を曝す原子層堆積法により、該基体1の上に Al_2O_3 膜2を成長するとともに、アルミニウムを含む雰囲気中で該 Al_2O_3 膜2、12の成長を終了し、つづいて該基体1を大気に曝すことなく、該 Al_2O_3 膜2、12の上に結晶シリコン膜3、13を形成することを特徴とする薄膜形成方法により達成する。

【0015】(9) 図3に例示するように、前記 Al_2O_3 膜12は、前記シリコン膜13の形成位置に移動されるまでアルミニウム含有ガスに曝されていることを特徴とする(8)記載の薄膜形成方法により達成する。

【0016】(10) 図3に例示するように、前記アルミニウム含有ガスは、 $Al(CH_3)_3$ であることを特徴とする(9)記載の薄膜形成方法により達成する。

(11) 図4、5に例示するように、二元系材料の原子のうちの一方と他方を交互に含みかつ基板加熱温度が異なる複数のガス雰囲気中に、基体1を順次移動させて該基体1の上に異なる2つの原子層14a～14dを交互に積層する工程と、前記最終の雰囲気から取り出した前記基体1を、前記二元系材料を構成する各原子を別々に含む2つの雰囲気中に交互に曝す原子層堆積法によって前記原子層14a～14dの上に二元系材料層を成長する工程を有することを特徴とする薄膜形成方法により達成する。

【0017】(12) 図4、5に例示するように、(11)記載の方法により形成された二元系材料層の上にシリコン膜15を成長する工程とを有することを特徴とする薄膜形成方法により達成する。

【0018】(13) 図2に例示するように、(1012)面に優先配向して形成される Al_2O_3 膜2の上に、(100)面に優先配向してシリコンが積層されていることを特徴とするシリコン薄膜により達成する。

【0019】(14) 図6、7、8に例示するように、(1)、(2)、(8)、(9)又は(12)記載の方法によって基体1の上に Al_2O_3 膜2を介してシリコン膜3を形成する工程と、前記シリコン膜3の上にゲート絶縁膜4を介してゲート電極5を形成する工程と、前記ゲート電極5の

両側の前記シリコン膜3にソース層6及びドレイン層6を形成する工程とを有することを特徴とするシリコン薄膜トランジスタの形成方法により達成する。

【0020】(15)図9、10に例示するように、絶縁性基体1aの上にゲート電極1bを形成する工程と、前記絶縁性基体1aと前記ゲート電極1bの上に、(1)、(2)、(8)、(9)又は(12)記載の方法によって Al_2O_3 膜2及びシリコン薄膜3を形成する工程と、前記シリコン薄膜3の上にソース電極11a及びドレイン電極11bを形成する工程とを有することを特徴とするシリコン薄膜トランジスタの形成方法により達成する。

【0021】(16)図7、8、10に例示するように、前記 Al_2O_3 膜17を形成する前に、 SiO_2 、 $SiON$ 、 SiN のいずれかよりなる絶縁膜16を形成する工程を含むことを特徴とする(14)、(15)記載のシリコン薄膜トランジスタの形成方法により達成する。

【0022】(17)図11に例示するように、絶縁性基体1の上にソース電極31及びドレイン電極32を形成する工程と、前記絶縁性基体1、ソース電極31及びドレイン電極32の上に、(1)、(2)又は(3)記載の方法により二元系半導体層33及びシリコン膜34を形成する工程と、該シリコン膜34の上に絶縁膜35を介してゲート電極36を形成する工程とを有することを特徴とするシリコン薄膜トランジスタの形成方法により達成する。

【0023】

【作 用】本発明によれば、図1、2に例示するように、基体1に原子層堆積法により二元系材料膜2を成長し、その上にシリコン膜3を成長する。このようにすれば、結晶性のよいシリコン膜3が得られる。

【0024】また、二元系材料膜2上でのシリコン膜3の成長を、真空を破らずに行うようにすれば、汚染のない結晶性のよいシリコン膜3が得られる。その二元系材料膜2としては、 Al_2O_3 膜、III族とV族の元素からなる半導体膜等があり、 Al_2O_3 膜ではその優先配向は(-1012)面であり、その上には(100)面に優先配向して結晶粒の大きな多結晶又は単結晶のシリコン膜が形成される。

【0025】さらに、原子層堆積法により形成した二元系材料膜2の上にシリコン膜3を形成する場合に、基体温度を400℃以下にしても良質な膜が形成されるので、基体1の変形は抑制される。

【0026】なお、シリコン膜3の形成方法としては例えばシランと水素を含むガスをを用いたプラズマCVD法があり、これによれば、低温でシリコン成長が可能になり、基体1の変形の発生が防止される。

【0027】また、図7に例示するように、 Al_2O_3 膜17の下地として SiO_2 、 SiN 、 $SiON$ の絶縁膜16を形成すると、その Al_2O_3 膜17が(-1012)面に優先配向して成長し易くなり、その上に形成されるシリコン膜18

の膜質がさらに向上する。

【0028】また、本発明では図1～3に例示するように、基体1に原子層堆積法により Al_2O_3 膜2を成長し、つづいて大気に曝すことなくその上に結晶シリコン膜3を成長するようにしているので、汚染のない結晶性の良いシリコン膜3が得られる。この場合、 Al_2O_3 膜2の最終の成長をアルミニウムを含む雰囲気中に曝しているため、この上に質の良いシリコン膜3が成長される。

【0029】また、図3に例示するように、 Al_2O_3 膜12を形成した後に、基体1をアルミニウム含有ガスに曝しながらシリコン膜13を形成する領域まで移動しているので、その表面への他の元素の付着が阻止される。そのアルミニウム含有ガスを $Al(CH_3)_3$ とすれば、アルミニウムの反応が生じにくくなり、アルミニウムの成長が抑制される。

【0030】さらに、 Al_2O_3 膜の膜質を向上するためには、基体との界面状態が重要である。この場合、図4、5に例示するように、複数の反応室で Al_2O_3 膜の初期の数原子層14a～14dを形成するようにすると、その制御範囲が広がって良好なヘテロ界面が得られ、この上に形成する Al_2O_3 膜14とシリコン膜15の膜質がさらに向上する。

【0031】また、図6～10に例示するように、原子層堆積法により二元系材料膜の上のシリコン膜をチャンネル領域としたシリコン薄膜トランジスタを形成すると、その領域のキャリアの移動度が大きくなり、トランジスタ特性が向上する。

【0032】また、図11に例示するように、スタガー型シリコン薄膜トランジスタを形成する場合に、原子層堆積法により AlP 、 GaP 等の二元系半導体層33を形成して、その上にシリコン膜34を積層すると、その膜は配向性が良く、しかもシリコンと格子定数が非常に近いためにシリコン膜34の膜質が良好になり、ここに形成されるトランジスタの特性はさらに良くなる。

【0033】

【実施例】そこで、以下に本発明の実施例を図面に基づいて説明する。

(a) 本発明の第1実施例の説明

図1は、本発明のシリコン薄膜を形成する装置の一例を示す概念図である。この装置は原子層堆積装置(ALD装置)とプラズマCVD装置(P-CVD装置)を備え、さらに、真空を破らずに両者の反応チャンバに基体を搬送できる機構を備えている。

【0034】図1において、1は基体、 C_1 、 C_2 は反応チャンバ、Lはロードロック、 $N_1 \sim N_6$ はガス導入口、OFはオリフィス弁、 $V_1 \sim V_6$ は弁、 P_1 、 P_2 は真空排気系機構を表す。また、図示しないが、両反応チャンバ C_1 、 C_2 とも基体1を加熱する機構と基体1を搬送する機構を備えている。

【0035】原子層堆積装置として、例えば特開平2-7

4029号公報に開示されている薄膜形成装置を使用することができる。この装置は、図1に示すように、扇状の反応チャンバC₁の中央部を不活性ガスのアルゴンバリアガスが流れるようにガス導入口N₁が配置され、その中心から対称な左右の位置にガス導入口N₂、N₃が配置され、扇の要の部分にはオリフィス弁OFとその排気側に真空排気系機構P₁としてターボ分子ポンプが配置されている。

【0036】プラズマCVD装置としては、ガス導入口N₄、N₅、真空排気系機構P₂や図示しない電極とこれに電圧を印加する電源、基板加熱機構等を備えた通常のものを使用することができる。

【0037】図1に示す装置を用いて、基体となるガラス基板1にシリコン薄膜を形成する例を第1の実施例として示す。図2(a)、(b)はシリコン薄膜の形成工程を示す断面図であり、1はガラス基板、2はAl₂O₃膜、2a~2nは酸素原子層とアルミニウム原子層が交互に配置された単原子層、3は結晶シリコン膜を表す。なお、ガラス基板1は例えば珪酸ガラス基板である。

【0038】まず、基板であるガラス基板1を原子層堆積装置の真空チャンバC₁内に配置する。ガラス基板1はアルゴンバリアガスが流れている層を横切って左右に往復する機構(図示せず)に取り付けられている。

【0039】そして、ガラス基板1を300℃に加熱し、ターボ分子ポンプP₁により5×10⁻⁷Torrまで排気する。次に、弁V₁を開いてアルゴンガスを500sccm流し、0.01Torrになるようにオリフィス弁OFを絞りアルゴンガスの定常流を作る。

【0040】ついで、弁V₂を開いて、110℃に加熱した塩化アルミニウム(AlCl₃)蒸気をガス導入口N₂を通して反応チャンバC₁内に導入する。さらに、弁V₃を開いて、20℃に保った水容器から水蒸気(H₂O)をガス導入口N₃を通して反応チャンバC₁内に導入する。

【0041】この場合、アルゴンガスの定常流によって塩化アルミニウム蒸気と水蒸気は隔てられ、混合しない。このときの反応チャンバC₁内の真空度は0.01Torrに維持されるようにする。

【0042】そして、定常流を乱さない速度、例えば往復3秒の周期で、搬送機構上に載せたガラス基板1を塩化アルミニウム蒸気雰囲気と水蒸気雰囲気の間で往復移動させる。この往復移動を6000回繰り返すことによって、ガラス基板1上に4000Åの厚さのAl₂O₃膜2を成長した。成長の最終は塩化アルミニウム蒸気雰囲気としてAl₂O₃膜2の最上層2nにはAl層を形成した(図2(a))。

【0043】つづいて、ロードロックLを開いてガラス基板1をプラズマCVD装置の反応チャンバC₂に搬送し、プラズマCVD法によりAl₂O₃膜2上に厚さ100Åの結晶シリコンを成長した。成長条件は、基体温度

を400℃にし、ジシラン(Si₂H₆)流量を1.0sccm、水素(H₂)流量を500sccm、チャンバ内圧力を0.5Torr、放電電力を200W、放電時間を30分とする。

【0044】このようにして、Al₂O₃膜2上に結晶粒が大きな多結晶または単結晶の結晶シリコン膜3が膜厚1000Åで形成された(図2(b))。Al₂O₃膜2と結晶シリコン膜3の成長面の結晶方位を調べると、Al₂O₃膜2の一部に(-1012)面の優先配向が見られ、結晶シリコン膜3の一部に(100)面の優先配向がみられた。

【0045】なお、Al₂O₃膜2上の結晶シリコン膜3の成長は、プラズマCVD法の他に、低圧CVD法やスパッタ法により形成することもできる。また、第1の実施例では原子層堆積膜としてAl₂O₃膜を用いたが、その他に、GaP膜、AlP膜、AlN膜、ZnS膜を原子層堆積法により形成し、その上に結晶シリコン膜を成長することもできる。

【0046】さらに、上記した例では、ガラス基板1の上に直にAl₂O₃膜2を形成するようにしているが、そのAl₂O₃膜2の下地層としてSiN、SiON、SiO₂等の層を形成すると、Al₂O₃膜2の(-1012)面の優先配向が生じ易くなり、その上に積層する結晶シリコン膜3の膜質がさらに向上する。

【0047】(b)本発明の第2実施例の説明
第1実施例では、Al₂O₃膜2の最上層2nとしてAl層を形成しているが、AlはH₂Oと反応し易く、反応した場合には、その上にシリコンがエピタキシャル成長し難くなるので、清浄なAl面を出す必要がある。そのためには1300℃程度の前処理を行うことになるが、この温度条件ではガラス基板1に変形が確実に生じるので適当でない。

【0048】そこで、そのような高温の加熱処理を行うことなくAlの表面を清浄に保持したままでシリコンを成長させる方法を第2の実施例として説明する。図3は、本発明の第2実施例を示すシリコン薄膜工程を示す概念図である。この実施例においても、図1に示す構造の装置を使用する。

【0049】まず、第1実施例と同様に、ガラス基板1を原子層堆積装置の反応チャンバC₁内に配置する。そして、ガラス基板1を400℃に加熱し、ターボ分子ポンプP₁により5×10⁻⁷Torrになるまで排気する。次に、弁V₁を開いてアルゴンガス(Ar)を500sccm流し、0.01Torrになるようにオリフィス弁OFを調整してアルゴンガスの定常流を作る。

【0050】ついで、弁V₂を開いて、ガス導入口N₂を通してAl(CH₃)₃蒸気を反応チャンバC₁内に導入する。さらに、弁V₃を開いて、20℃に保った水容器からガス導入口N₃を通して水蒸気(H₂O)を反応チャンバC₁内に導入する。また、反応チャンバC₁内の真空度を0.01Torrに維持する。

【0051】この場合、アルゴンガスの定常流によって

Al(CH₃)₃蒸気とH₂O蒸気は隔てられて混合しない。さらに、Al(CH₃)₃とH₂Oの供給時間をそれぞれ1秒となし、アルゴンガスによるパージ時間を5秒となるように、搬送機構上のガラス基板1をAl(CH₃)₃雰囲気とH₂O雰囲気に往復移動させ、この往復移動を300回繰り返すことにより、ガラス基板1上に膜厚500Åの多結晶又は単結晶のAl₂O₃膜12を成長する(図3(a))。

【0052】この場合、成長の最終はAl(CH₃)₃雰囲気としてAl₂O₃膜12の最上層12nをAl層とする。この後に、原子層堆積装置の弁V₃を閉じ、続いて弁V₁、V₂を閉じ、ロードロックLを開いてガラス基板1をプラズマCVD装置の反応チャンバC₂に搬送してから、再びロードロックLを閉める。この場合、図示しないガス導入口を通して反応チャンバC₂内にAl(CH₃)₃を導入した状態にするとともに、ガラス基板1をAl₂O₃膜12の成長温度よりも低い温度、例えば350℃の温度に設定してAlの成長を生じさせないようにする。

【0053】図3(b)は、ALD装置からプラズマCVD装置に移動されるガラス基板1周囲の雰囲気を示す概略図であって、Al₂O₃膜12の最上層12nのAl層は、Al(CH₃)₃ガスの雰囲気に曝されたままでプラズマCVD装置に移動され、H₂Oとの反応が阻止される。

【0054】次に、プラズマCVD装置内へのAl(CH₃)₃ガスの導入を停止した後に、弁V₄と弁V₅を開いて、流量10sccmでシラン(SiH₄)、流量500sccmで水素(H₂)を導入するとともに、基板温度を350℃に設定する。また、反応チャンバ内圧力を0.5Torr、放電電力を200W、放電時間を30分としてAl₂O₃膜12のAl層12n上に厚さ1000Åの結晶シリコン膜13を成長する(図3(c))。

【0055】このように成長したAl₂O₃膜12上の結晶シリコン膜13の膜質を調べたところ、結晶粒の大きな多結晶や単結晶のような結晶性の良いものが得られた。そして、Al₂O₃膜12と結晶シリコン膜13の成長面の結晶方位を調べると、Al₂O₃膜12の少なくとも一部に(-1012)面の優先配向が生じ、その上の結晶シリコン膜13に(100)面の優先配向が見られた。

【0056】なお、Al₂O₃膜12上の結晶シリコン膜13の成長は、第1実施例と同様に、低圧CVD法やスパッタ法により形成してもよいが、ガラス基板1をシランガス雰囲気中に置くまではAl₂O₃膜12上面のAl層12nをAl(CH₃)₃の雰囲気に曝しておく必要がある。

【0057】(c)本発明の第3実施例の説明
上記した2つの実施例により形成するAl₂O₃の膜質をさらに良くするためには、基板とのヘテロ界面を良好にすることが重要であり、このためには成膜初期の条件を広範に制御するとともに、それ以降の成膜条件を安定した条件で行う必要がある。

【0058】ところで、1つの反応チャンバC₁を有する上記した原子層堆積装置だけでは安定したガス供給、

温度設定、圧力調整等は容易であるが、条件の広範な制御は難しく、そのままではヘテロ界面を良くすることができない。

【0059】そこで以下に、第3の実施例として、成膜初期条件の制御が容易な薄膜形成装置を説明する。図4は、本発明の第3実施例を示す概要構成図で、その一部には図1に示す原子層堆積装置とプラズマCVD装置を使用する。そして、原子層堆積装置のうちプラズマCVD装置と反対側には、第1～第4の反応室C₁₁～C₁₄がそれぞれロードロックL₁₁～L₁₄を介して順に連結され、そのうち原子層堆積装置から最も離れた第1の反応室C₁₁にはガラス基板1を基板移動機構(不図示)に取り付けるためのローディング室LDがロードロックLDを介して配置されている。

【0060】また、第一～第四の反応室C₁₁～C₁₄は、弁V₁₁～V₁₄を有するガス導入口N₁₁～N₁₄、真空排気系の機器(不図示)、基板加熱器(不図示)等を装備しており、各反応室C₁₁～C₁₄内には、それぞれローディング室LDから近い順にH₂O、AlCl₃、H₂O、Al(CH₃)₃が各々に供給されるように構成されている。

【0061】なお、原子層堆積装置及びプラズマCVD装置における反応チャンバC₁、C₂内のガス導入や基板加熱温度等の諸条件は第2実施例に述べた条件とする。次に、上記した装置を使用してガラス基板1にAl₂O₃膜を形成する工程を説明する。

【0062】まず、ローディング室LD内の基板移動機構(不図示)にガラス基板1を設定し、その室内を1×10⁻⁶Torrまで減圧した後に、第一の反応室C₁₁内の間に設けたロードロックLを通してガラス基板1を第一の反応室C₁₁に搬送する。

【0063】そして、第一の反応室C₁₁内でガラス基板1を450℃に加熱し、その表面にH₂Oを2秒間曝してその上面に水素(H)と酸素(O)の元素をガス吸着させる(図5)。

【0064】次に、次段のロードロックL₁₁を通して第二の反応室C₁₂にガラス基板1を搬送し、このガラス基板1を430℃にした状態で、その上面を1.5秒間AlCl₃に曝して、表面で生成されたECIを昇華させるとともにガラス基板1上面の酸素(O)層14aの上にAl層14bを形成する(図5(b))。ここで、Al(CH₃)₃でなくAlCl₃を用いたのは、Clが反応を促進させる性質があるからである。

【0065】次に、次段のロードロックL₁₂を通して第三の反応室C₁₃にガラス基板1を移動し、その温度を420℃に加熱した状態で、その上面を1秒間H₂Oに曝して、Al層14bの上に残存していたClをHClとして昇華させるとともにAl層14bの上にO層14cを形成する(図5(c))。

【0066】この後に、次のロードロックL₁₃を通して第四の反応室C₁₄にガラス基板1を移動し、その基板温

度を410℃にし、その上のO層14cにAl(CH₃)₃を1秒間照射し、その上にAl層14dを積層した後に、次段のロードロックL₁₄を通して原子層堆積装置にガラス基板1を設置する。

【0067】この後に、第2実施例と同様にしてO層及びAl層を交互に複数層形成し、最終層としてAl層14nを形成する。この後に、真空を破らずに第2実施例と同様にして、プラズマCVD装置により結晶シリコン膜15を1000Å程度形成する(図5(f))。

【0068】以上述べたように、ガラス基板1との界面に条件を変えてO層14a, 14bとAl層14c, 14dの4原子層を形成した後に、固定した条件でO層とAl層を形成すると、ガラス基板1の上に形成されるAl₂O₃膜14の膜質が良くなり、(-1012)面の優先配向がさらに生じ易くなり、結晶シリコン膜15の(100)面の優先配向が生じ易くなる。

【0069】なお、各反応質L₁₁~L₁₄の基板温度等の条件は成長しようとする膜によって変えられるような機構にする。

(d) 本発明の第4実施例の説明

次に、第4の実施例として、以上のようにして得られたシリコン薄膜を使用して、プレーナ型シリコン薄膜トランジスタを製造する工程を、図を参照しながら説明する。

【0070】まず、図6(a)に示す断面図は、図2(b)と同じで、ここまでの工程は上述の第1の実施例と同じである。この状態から、図6(b)に示すように、プラズマCVD法により、ゲート絶縁膜となる厚さ1000ÅのSiO₂膜4を形成する。その形成条件は、基板温度300℃、シラン(SiH₄)流量20sccm、亜酸化窒素(N₂O)流量2000sccm、圧力0.3Torr、放電電力100W、放電時間5分である。このゲート絶縁膜は、スパッタ法、CVD法、熱酸化法で形成してもよい。

【0071】次に、図6(c)に示すように、モリブデン(Mo)をスパッタ法により500Åの厚さに形成し、フォトリソグラフィプロセスによりゲート電極5を形成する。ゲート電極5をマスクにしてSiO₂膜4をエッチング除去し、その後、リン(P⁺)イオン注入し、ソース・ドレイン6を形成する。

【0072】さらに、図6(d)に示すように、層間絶縁膜として厚さ3000ÅでSiO₂膜7を形成し、そのSiO₂膜7にコンタクト部の開孔8を形成する。最後に、図6(e)に例示するように、スパッタ法により厚さ1000ÅのAlを堆積し、それをバタニングしてソース電極9a、ドレイン電極9bを形成する。

【0073】以上のようにして完成されたプレーナ型TFTのゲート電極5の下に結晶シリコン膜3の膜質が良いため、チャネル領域のキャリアの移動度が大きくなり、トランジスタの特性が改善される。

【0074】(e) 本発明の第5実施例の説明

上記した第4の実施例では、ガラス基板の上に、第1実施例に示すAl₂O₃膜を形成し、その上に結晶シリコン膜を積層してプレーナ型TFTを形成したが、ガラス基板とAl₂O₃膜との間にSiN、SiO₂、SiON等の膜を入れてもよい。

【0075】そこで次に、第5の実施例として、ガラス基板の上にSiN膜、Al₂O₃膜を順に積層し、その上にTFTを形成する工程を説明する。なお、この実施例においても図1に示す装置を使用する。

【0076】まず、プラズマCVD装置の反応チャンバC₁内にガラス基板1を設置し、図7(a)に示すように、その上にSiN膜16を3000Åの厚さに形成する。この場合の成膜条件は、ガラス基板1を温度400℃に加熱し、反応チャンバC₁内にSiH₄を50sccm、NH₃を100sccm、N₂を2sccmの量で導入する。また、内部圧力を100Pa、放電電力を300Wとする。

【0077】ついで、ロードロックLを通してガラス基板1を原子層堆積装置の反応チャンバC₂に移設し、SiN膜16の上に多結晶又は単結晶のAl₂O₃膜17を形成する。この場合、第2実施例と同様な成膜条件とし、その最上層をAl層とする(図7(a))。

【0078】これに続いて、真空を破らずにロードロックLを通してガラス基板1をプラズマCVD装置の反応チャンバC₂に移動し、Al₂O₃膜17の上に結晶シリコン膜18を形成する。その形成条件は、第2実施例と同様にして膜厚を1000Åとする。なお、結晶シリコン膜18は減圧CVD法、スパッタ法でも形成可能である。

【0079】以上により形成されたAl₂O₃膜17は(-1012)面に優先配向し、また、その上の結晶シリコン膜18は(100)面に優先配向する。次に、プラズマCVD装置の反応チャンバC₂内で、結晶シリコン膜18の上にゲート絶縁膜となるSiO₂膜19を1000Åの厚さに成長する(図7(c))。その成長条件は、基板温度300℃とするとともに、SiH₄を20sccm、N₂Oを2000sccmの量で反応チャンバC₂に導入する。また、プラズマ生成用の放電電力を100W、放電時間を5分とし、反応チャンバC₂内の圧力を0.3Torrとする。

【0080】なお、SiO₂膜19はCVD法、スパッタ法又は熱酸化法により形成することもできる。次に、プラズマCVD装置の反応チャンバC₂からガラス基板1を取り出し、スパッタ法により膜厚500Åのモリブデン(Mo)膜20を形成し(図7(d))、これをフォトリソグラフィによりバタニングしてゲート電極21を形成する(図8(e))。さらに、ゲート電極21を形成した後に、エッチングガスを変えてSiO₂膜19も連続してバタニングする。

【0081】この後に、ゲート電極21をマスクにして燐(P)をイオンインプランテーションしてソース層22及びドレイン層23を形成した後に、層間絶縁となる

13

SiO₂膜24をCVD法等により3000Åの厚さに形成し、その後に、フォトリソグラフィ法によりSiO₂膜24をパターニングしてソース層22及びドレイン層23の上にコンタクトホール24a、24bを形成する。

【0082】最後に、スパッタ法によりAl膜を1000Åの厚さに形成し、これをフォトリソグラフィ法によりパターニングしてソース電極25aとドレイン電極25bを形成してTFTを完成させる。

【0083】以上のように、Al₂O₃膜17の下に相性の良いSi₃N₄、SiON、SiO₂等を形成しているため、Al₂O₃膜17の密着性が良くなるとともに、その膜質に大きな影響のある初期の形成状態が良くなって(1012)面が優先配向し易くなり、その上に形成される結晶シリコン膜18の膜質がさらに良くなり、TFTの特性が向上する。

【0084】(f)本発明の第6実施例の説明
次に、第6の実施例として、逆スタガー型シリコン薄膜トランジスタを製造する例について説明する。

【0085】図9(a)～(d)は、逆スタガー型シリコン薄膜トランジスタを製造する工程順断面図であり、以下、これらの図を参照しながら説明する。まず、図9(a)に示すように、ガラス基板1a上にスパッタ法により厚さ500Åのモリブデン(Mo)を堆積し、フォトリソグラフィ法によりゲート電極1bを形成する。ガラス基板1aとゲート電極1bはその上にAl₂O₃膜を成長する基体となる。

【0086】その基体1a、1bを図1に示す原子層堆積装置の真空チャンバC₁内に配置する。基体1a、1bはアルゴンバリアガスが流れている層を横切って左右に往復移動する機構(図示せず)に取り付けられている。

【0087】以下、前述の第1の実施例と同様にして、基体1a、1b上に厚さ4000ÅのAl₂O₃膜2を成長した。成長の最終は塩化アルミニウム蒸気雰囲気としてAl₂O₃膜2の最上層にはA1層を形成した。このAl₂O₃膜2はゲート絶縁膜となる。

【0088】つづいて、ロードロックLを開いて基体1a、1bをプラズマCVD装置の真空チャンバC₂に搬送し、以下、前述の第1の実施例と同様にして、図9(b)に示すように、Al₂O₃膜2上に厚さ1000Åの結晶シリコン膜3を得た。

【0089】次に、プラズマCVD法により、図9(c)に示すようにコンタクト層となる厚さ500Åのn⁺-Si膜10を形成する。形成条件は、シラン流量30sccm、水素流量500sccm、ホスフィン流量1sccm、圧力1Torr、放電電力200W、放電時間5分である。

【0090】つづいてスパッタ法によりソース・ドレイン電極となる厚さ1000ÅのTi膜11を形成する。形成条件は、Ar流量50sccm、圧力0.03Torr、放電電力2kW、放電時間5分である。

【0091】最後に、図9(d)に示すように、チャンネル

14

上のTi膜11とn⁺-Si膜10を反応性イオンエッチングによりエッチングして除去し、コンタクト層10a、ソース電極11a、ドレイン電極11bを形成する。

【0092】このようにして、逆スタガー型シリコン薄膜トランジスタが完成し、そのTFTは、第4実施例と同様に、高い移動度を有したトランジスタ特性のよいものが得られた。

【0093】(g)本発明の第7実施例の説明
上記した第6実施例に示す逆スタガー型TFTは、ゲート電極の上にAl₂O₃膜を形成したものであるが、第5実施例と同様に、Al₂O₃膜の下地としてSiN、SiON、SiO₂等の膜を用いてもよい。

【0094】そこで次に、第7実施例として、Al₂O₃膜の下地としてSiN膜を形成する工程を含む逆スタガー型TFTの形成工程を説明する。まず、第6実施例と同様に、ガラス基板1aの上にゲート電極1bを形成した後、第5実施例と同じような条件により、プラズマCVD法等によってガラス基板1aの上にSiN膜16を3000Åの厚さに形成する(図10(a))。

【0095】ついで、第5実施例と同様に、ガラス基板1aを原子層堆積装置の反応チャンバC₁に移設し、第5実施例と同様な条件により、SiN膜16の上に膜厚500Åの単結晶又は多結晶のAl₂O₃膜2を形成し(図10(b))、これに続いて真空を破らずにプラズマCVD装置の反応チャンバC₂にガラス基板1aを搬送して、第5実施例と同様な条件により結晶シリコン膜3を1000Åの厚さに形成する(図10(c))。なお、上記した実施例で述べたと同様にAl₂O₃膜2の最上面をAlとする。

【0096】このように形成されたAl₂O₃膜2は少なくとも一部が(1102)面に優先配向し、また、その上の結晶シリコン膜3は(100)面に優先配向する。次に、図10(c)に示すように、プラズマCVD法により、コンタクト層となる厚さ500Åのn⁺-Si膜10を形成する。さらに、スパッタ法によりソース・ドレイン電極となる厚さ1000ÅのTi膜11を形成する。これらの膜の形成条件は第6実施例に示すように設定する。

【0097】最後に、ゲート電極1bの上の領域にあるTi膜11とn⁺-Si膜10を反応性イオンエッチング法により選択的にエッチングして除去し、ソース電極11a、ドレイン電極11bを形成する。

【0098】このようにして、逆スタガー型TFTが完成する。そのTFTにおいては、SiN膜16を下地にしてAl₂O₃膜17を形成しているため、第5実施例で説明したように結晶シリコンの膜質がさらに向上し、第6実施例よりも移動度がさらに大きなトランジスタ特性が得られる。

【0099】(h)本発明の第8実施例の説明
上記した第4～第7の実施例では、結晶シリコン膜の下地としてAl₂O₃膜を用いたが、第1実施例で説明したGaP、AlP等のような2元系半導体材料を適用することも

でき、これを適用した第8実施例のスタガー型TFTを説明する。

【0100】図11は、第8実施例のスタガー型TFTの形成工程を示す断面図である。まず、スパッタ法によってガラス基板1の上に膜厚500ÅのAl膜を形成した後に、これをフォトリソグラフィ法によりパターンニングしてソース電極31とドレイン電極32を形成する。

【0101】次に、ガラス基板1を図1に示すような原子層堆積装置の反応チャンバC₁内に配置し、アルゴンガスが流れている層を横切って左右に往復移動する機構(不図示)に取付ける。

【0102】そして、基板温度を400℃に加熱し、ターボポンプP₁により 5×10^{-7} Torrまで排気し、ついで、弁V₁を開いてアルゴンガスを500sccm流し、0.01Torrになるようにオリフィス弁OPを調整してアルゴンガスの定常流れを作る。

【0103】この後に、弁V₂を開いてGa(CH₃)₃をガス導入口N₂から導入し、ついで、弁V₃を開いてPH₃をガス導入口N₃から導入する。この場合、アルゴンガスの定常流によってGa(CH₃)₃とPH₃は混合しない。この時の反応チャンバC₁内の真空度を0.01Torrに維持する。

【0104】これにより、ガラス基板1の上には、パージ時間をおいてGa(CH₃)₃とPH₃が交互に供給される。その供給時間は、それぞれ1秒とし、また、パージ時間は5秒である。

【0105】これらの供給を200回繰り返して図11(a)に示すように膜厚500ÅのGaP層33を形成する。ついで、真空を破らずにロードロックLを通してガラス基板1をプラズマCVD装置の反応チャンバC₂に移し、GaP層33を下地にして結晶シリコン膜34を1000Åの厚さに積層する。この場合のシリコン成膜条件は、基板温度を400℃、SiH₄を10sccm、H₂を500sccm、圧力を0.5Torr、放電電力を200W、放電時間を30分とする。

【0106】次に、ゲート絶縁膜となるSiO₂膜35をプラズマCVD法により1000Åの厚さに成長する。そのSiO₂膜35の成長条件は、基板温度を300℃、SiH₄を20sccm、N₂Oを2000sccmの量で供給し、反応チャンバC₂内の圧力を0.3Torrにするとともに、プラズマ発生用の放電電力を100W、その放電時間を5分とする。

【0107】この後に、モリブデン(Mo)膜をスパッタ法により500Åの厚さに形成し、そのMo膜をフォトリソグラフィ法によりパターンニングし、ソース電極31とドレイン電極32の間の領域にMo膜を残存させてこれをゲート電極36にすれば、これによりスタガー型TFTが完成する。

【0108】このスタガー型TFTにおいては、チャンネル領域を形成するシリコン膜34の下地として上記した

方法によりGaP膜33を形成している。このGaP膜33は、配向性が高く、しかも、シリコンと格子定数が非常に近いので、その上に成長するシリコン膜34は大きな結晶粒を持つ多結晶となる。この結果、シリコン膜34のチャンネル領域を通るキャリアの移動度が、GaP膜33を設けない場合に比べて大きくなり、トランジスタ特性が向上する。

【0109】なお、結晶シリコン膜34の下地としてはGaPの他に、シリコンと格子定数が近いAlP等の二元系半導体材料を原子層堆積法により配向性を高くして形成したものでもよい。

【0110】また、上記した結晶シリコン膜34やゲート絶縁膜用のSiO₂膜35についての成膜方法は、プラズマCVD法に限るものではなく、減圧CVD法、スパッタ法等によって形成してもよい。

【0111】

【発明の効果】以上述べたように本発明によれば、基体に原子層堆積法により二元系材料膜を成長し、その上にシリコン膜を成長する。このようにすれば、結晶性の良いシリコン膜を得ることができる。

【0112】また、二元系材料膜上でのシリコン膜の成長を、真空を破らずに行うようにすれば、汚染のない結晶性の良いシリコン膜を形成することができる。その二元系材料膜としては、Al₂O₃膜、III族とV族の元素からなる半導体膜等があり、その優先配向は(-1012)面で、その上には(100)面に優先配向して結晶粒の大きな多結晶又は単結晶のシリコン膜が形成できる。

【0113】さらに、原子層堆積法により形成した二元系材料膜の上にシリコン膜を形成する場合に、基体温度を400℃以下にしても良質な膜が形成されるので、基体の変形を抑制できる。

【0114】なお、シリコン膜の形成方法としては例えばシランと水素を含むガスを用いたプラズマCVD法があり、これによれば、低温でシリコン成長が可能になり、基体の変形の発生を防止できる。

【0115】また、Al₂O₃膜の下地としてSiO₂、SiN、SiONの絶縁膜を形成すると、そのAl₂O₃膜が(-1012)面に優先配向して成長し易くなり、その上に形成されるシリコン膜の膜質をさらに向上することができる。

【0116】また、本発明では、基体に原子層堆積法によりAl₂O₃膜を成長し、つづいて大気に曝すことなくその上に結晶シリコン膜を成長するようにしているので、汚染のない結晶性の良いシリコン膜を得ることができる。この場合、Al₂O₃膜の最終の成長をアルミニウムを含む雰囲気中に曝しているため、この上に質の良いシリコン膜を成長できる。

【0117】また、Al₂O₃膜を形成した後に、基体をアルミニウム含有ガスに曝しながらシリコン膜を形成する領域まで移動しているため、その表面への他の元素の付着を阻止できる。そのアルミニウム含有ガスをAl(CH₃)₃

とすれば、アルミニウムの反応が生じにくくなり、アルミニウムの成長を抑制できる。

【0118】ところで、 Al_2O_3 膜の膜質を向上するためには、基体との界面状態が重要である。この場合、複数の反応室で Al_2O_3 膜の初期の数原子層を形成するようにすると、その制御範囲が広がって良好なヘテロ界面が得られこの上に形成する Al_2O_3 膜とシリコン膜の膜質をさらに向上できる。

【0119】また、原子層堆積法により形成された二元系材料膜の上のシリコン膜をチャネル領域としたシリコン薄膜トランジスタを形成すると、その領域のキャリアの移動度が大きくなり、トランジスタ特性を向上できる。

【0120】また、スタガー型シリコン薄膜トランジスタを形成する場合には、原子層堆積法によりAlP、GaP等の二元系半導体層を形成し、その上にシリコン膜を積層すると、その膜は配向性が良く、しかもシリコンと格子定数が非常に近いためにシリコン膜の膜質が良好になり、ここに形成されるトランジスタの特性をさらに良くすることができる。

【図面の簡単な説明】

【図1】シリコン薄膜を形成する第1の装置の概念図である

【図2】シリコン薄膜の形成工程の第1例を示す断面図である

【図3】シリコン薄膜の形成工程の第2例を示す概念図である

【図4】シリコン薄膜を形成する第2の装置の概要構成図である

【図5】シリコン薄膜の形成工程の第3例を示す断面図である

【図6】プレーナ型シリコン薄膜トランジスタの第1例を製造する工程順断面図である

【図7】プレーナ型シリコン薄膜トランジスタの第2例を製造する工程順断面図（その1）である

【図8】プレーナ型シリコン薄膜トランジスタの第2例を製造する工程順断面図（その2）である

【図9】逆スタガー型シリコン薄膜トランジスタの第1例を製造する工程順断面図である

【図10】逆スタガー型シリコン薄膜トランジスタの第2例を製造する工程順断面図である

【図11】スタガー型シリコン薄膜トランジスタを製造する工程順断面図である

【符号の説明】

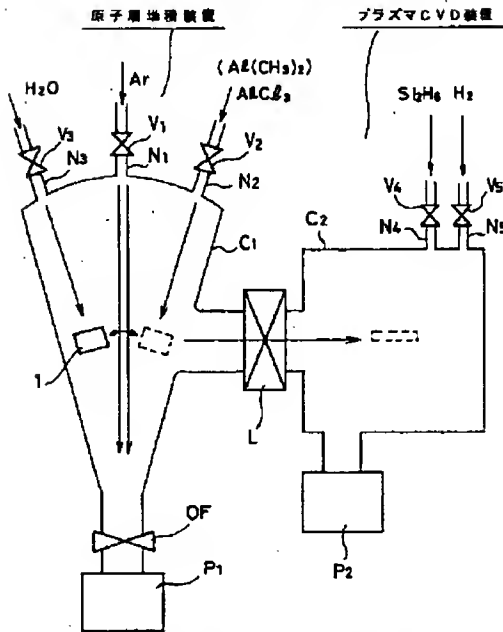
- 1 ガラス基板（基体）
- 1 a 透明絶縁性基板（基体）
- 1 b ゲート電極
- 2 二元系材料膜（酸化アルミニウム膜、 Al_2O_3

膜)

- 2 a ~ 2 n 原子層
- 2 n Al層
- 3 結晶シリコン膜
- 4 SiO_2 膜（ゲート絶縁膜）
- 5 ゲート電極
- 6 ソース・ドレイン
- 7 SiO_2 膜（絶縁膜）
- 8 開孔
- 10 9 a ソース電極
- 9 b ドレイン電極
- 10 $n^+ - Si$ 膜
- 11 Ti膜
- 11 a ソース電極
- 11 b ドレイン電極
- 12 b, 12 n Al層
- 12 a O層
- 12 Al_2O_3 膜
- 13 結晶シリコン膜
- 20 14 Al_2O_3 膜（二元系材料膜）
- 14 a, 14 c O層（原子層）
- 14 b, 14 d Al層（原子層）
- 15 結晶シリコン膜
- 16 SiN 膜（絶縁膜）
- 17 Al_2O_3 膜（二元系材料膜）
- 18 結晶シリコン膜
- 19 SiO_2 膜
- 20 Mo膜
- 21 ゲート電極
- 22 ソース層
- 23 ドレイン層
- 31 ソース電極
- 32 ドレイン電極
- 33 GaP膜（半導体膜）
- 34 結晶シリコン膜
- 35 SiO_2 膜
- 36 ゲート電極
- C_1, C_2 反応チャンバ
- L ロードロック
- $N_1 \sim N_6$ ガス導入口
- OF オリフィス弁
- P_1, P_2 真空排気系
- $V_1 \sim V_6$ 弁
- $C_{11} \sim C_{14}$ 反応室
- $L_{10} \sim L_{14}, L_0$ ロードロック
- LD ローディング室
- $V_{11} \sim V_{14}$ 弁
- $N_{11} \sim N_{14}$ ガス導入口

【図1】

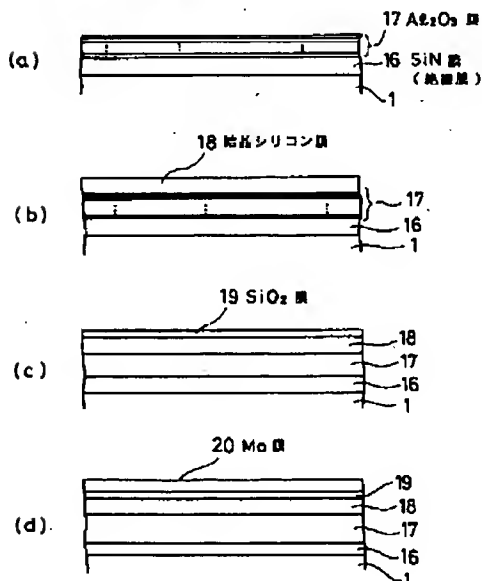
シリコン薄膜を形成する第1の装置の概念図



1 基体 (ガラス基板)
 C1, C2 反応チャンバ
 L ロードロック
 OF オリフィス弁
 P1, P2 真空排気系統
 N1~N5 ガス導入口
 V1~V5 弁

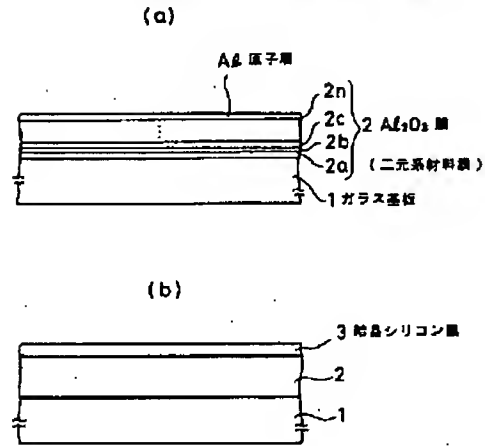
【図7】

プレーナ型シリコン薄膜トランジスタの第2例を
 製造する工程順断面図 (その1)



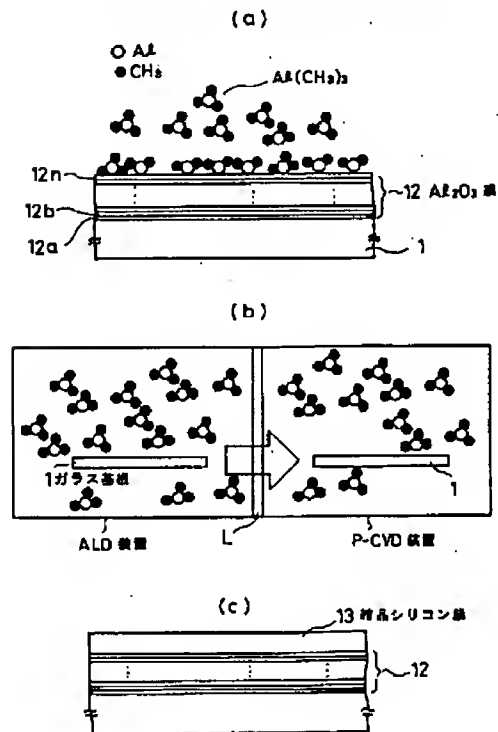
【図2】

シリコン薄膜の形成工程の第1例を示す断面図



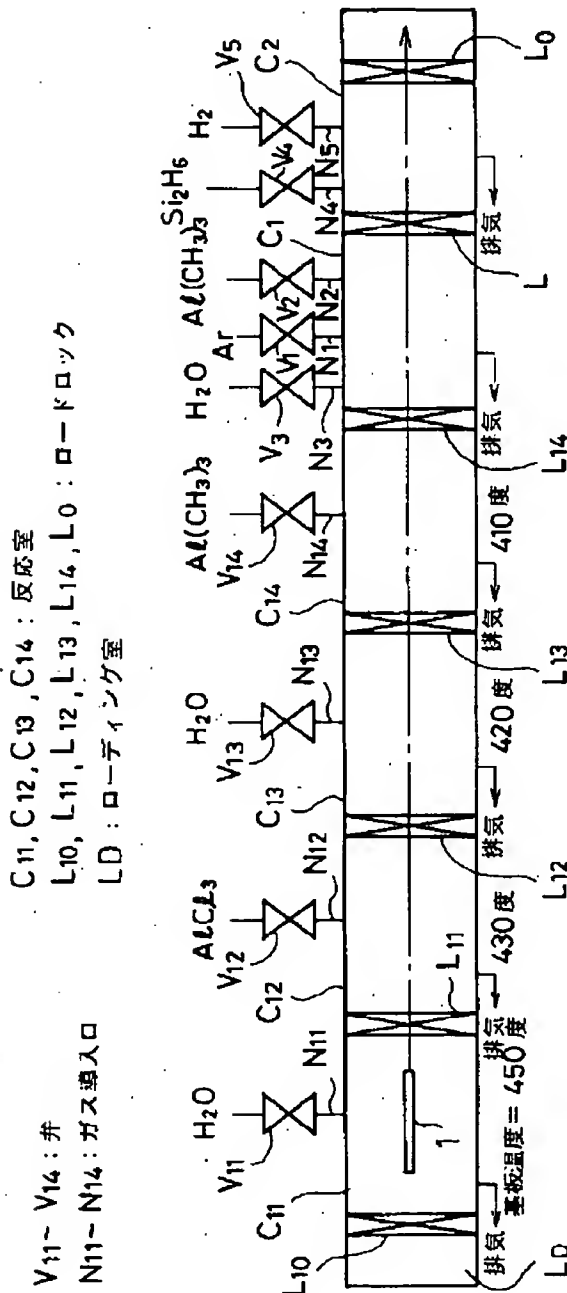
【図3】

シリコン薄膜の形成工程の第2例を示す概念図



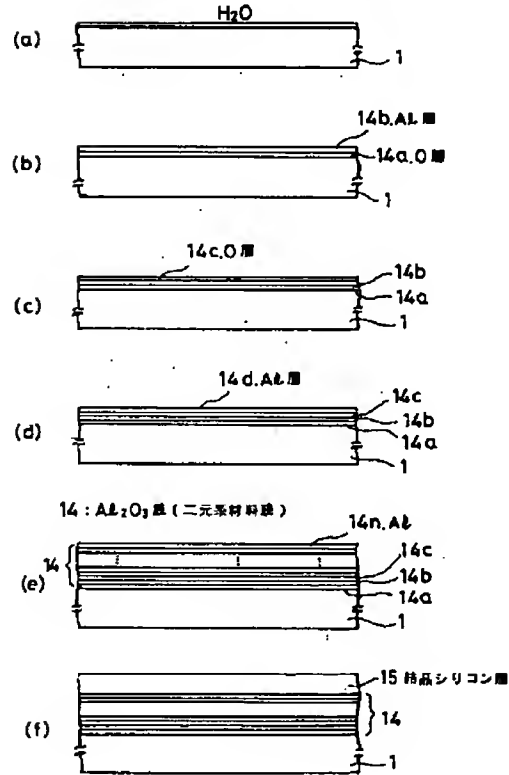
【図4】

シリコン薄膜を形成する第2の装置の概要構成図



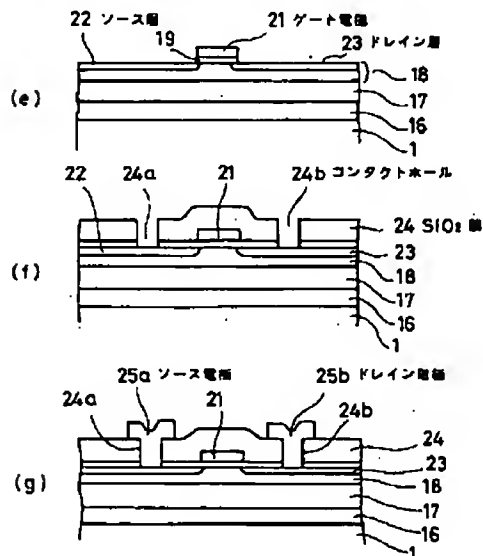
【図5】

シリコン薄膜の形成工程の第3例を示す断面図



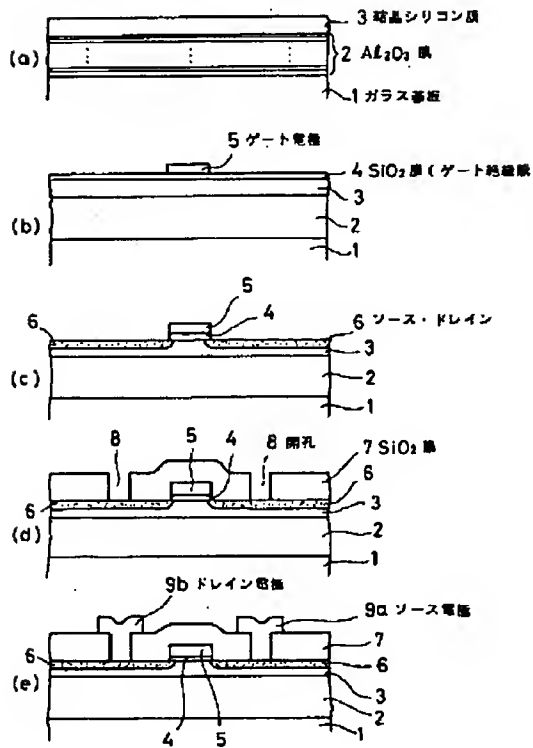
【図8】

プレーナ型シリコン薄膜トランジスタの第2例を製造する工程順断面図 (その2)



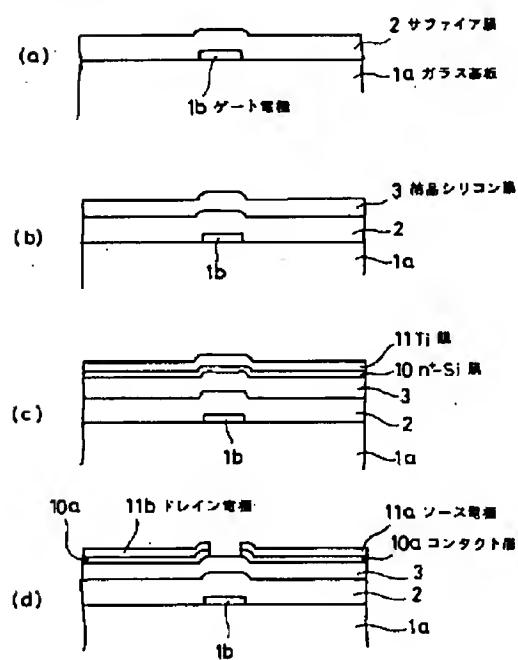
【図6】

プレーナ型シリコン薄膜トランジスタの第1例を
製造する工程順断面図



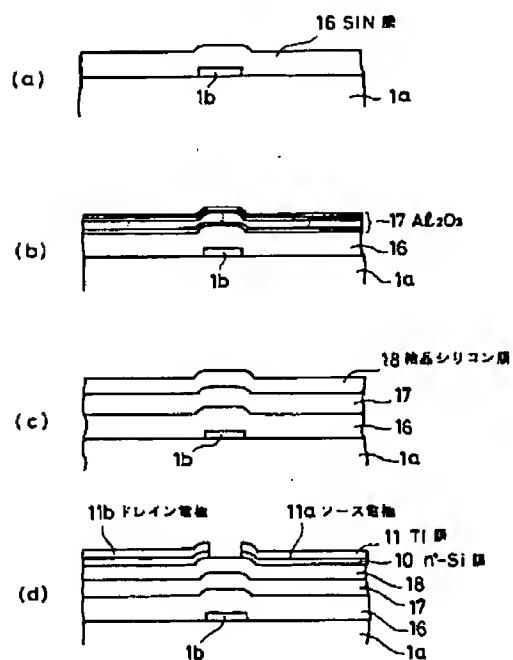
【図9】

逆スタガー型シリコン薄膜トランジスタの第1例を
製造する工程順断面図



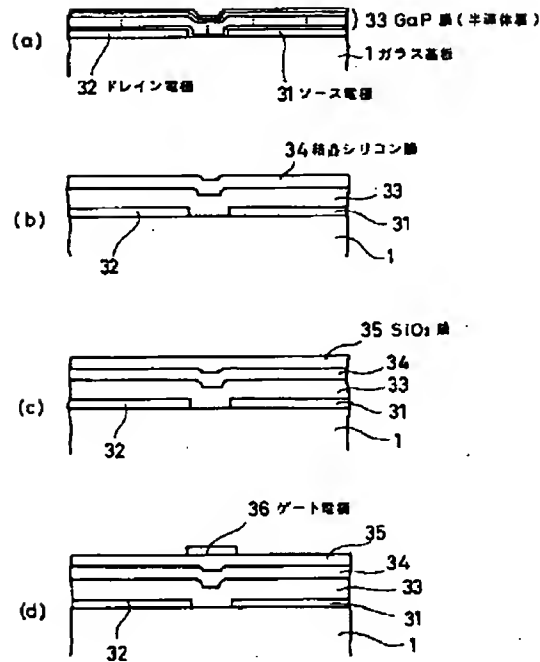
【図10】

逆スタガー型シリコン薄膜トランジスタの第2例を
製造する工程順断面図



【図11】

スタガー型シリコン薄膜トランジスタを製造する
工程断面図



フロントページの続き

(51)Int. Cl. ⁵	識別記号	弁内整理番号	F I	技術表示箇所
H 0 1 L 21/205		7454-4M		
(72)発明者 村田 祐司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内			(72)発明者 甫立 真理 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内	
(72)発明者 渡部 純一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内			(72)発明者 沖 賢一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内	
(72)発明者 長広 紀雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内			(72)発明者 岡部 正博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内	